

Excerpts from Japanese Patent Laid-Open Publication No. Hei
11-97701

[0010]

[Means for solving the problem]

(1) A thin film transistor according to the present invention comprises a plurality of channel regions which are formed below a gate electrode and a source region and a drain region sandwiching each channel region, wherein the source regions are connected to each other, the drain regions are connected to each other, and a channel width W of each channel region and a spacing S between the channel regions satisfy a relationship $W \leq S$.

[0011]

According to the present invention, although a plurality of channel regions are provided, a voltage is applied to the channel regions from a gate electrode. In addition, the source regions are connected to each other and the drain regions are connected to each other. In other words, the thin film transistor is formed by dividing a channel region of a MOS type transistor into a plurality of channel regions. Thus, because it is possible to reduce the channel width W of each channel region, the drain current I_d can be reduced. In this manner, it is possible to inhibit generation of heat, and consequently, degradation of the characteristics. Because the drain current I_d flows through each of the plurality of channel regions, a total value of the drain current I_d is maintained.

[0052]

In the liquid crystal display device, the thin film

transistor of the present invention is employed in each of or a part of a circuit portion such as a source line driver circuit and a gate line driver circuit, an analog switch, and a pixel transistor. With this structure, it is possible to realize a liquid crystal display device in which occurrence of malfunction in the circuit or the like is reduced and a superior image quality can be achieved.

[0053]

In particular, because the analog switches 81a, 81b, and 81c are switches of the final stage connected to the source lines 88a, 88b, and 88c, a relatively large current flows through these switches, and therefore, application of the present invention having small degradation of characteristics is effective. In addition, because the analog switches 81a, 81b, and 81c are used as DC voltage switches, degradation of characteristics is small.

[0054]

In the above-described embodiment, an N-channel TFT has been exemplified. However, the present invention can alternatively be applied to a P-channel TFT. The silicon thin film forming the channel region, source region, and drain region is not limited to a polycrystalline silicon thin film and an amorphous silicon thin film may be used.


[0055]

In a liquid crystal display device, the application of the thin film transistor of the present invention is not limited to a pixel transistor and the analog switch, and the present invention may be applied to various circuit elements.

THIN FILM TRANSISTOR, MANUFACTURE OF THE SAME, AND LIQUID CRYSTAL DISPLAY

Patent number: JP11097701
 Publication date: 1999-04-09
 Inventor: INOUE SATOSHI
 Applicant: SEIKO EPSON CORP
 Classification:
 - International: H01L29/786; H01L21/336; G02F1/136
 - european:
 Application number: JP19970272132 19970918
 Priority number(s):

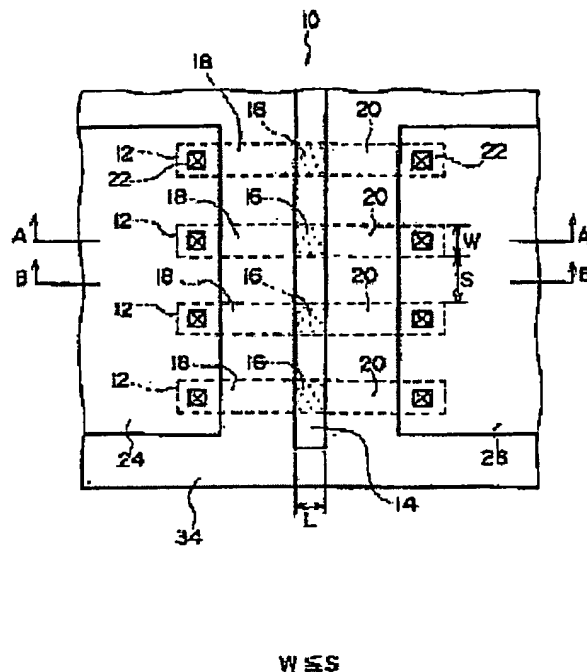
Also published as:

 JP11097701 (/

Abstract of JP11097701

PROBLEM TO BE SOLVED: To provide a thin film transistor which is less likely to be deteriorated in characteristics, a method for manufacturing the same, and a liquid crystal display.

SOLUTION: This device has a plurality of channel regions 16 formed below one gate electrode 14, and source regions 18 and drain regions 20 sandwiching the respective channel regions 16. The source regions 18 are interconnected and the drain regions 20 are interconnected. The channel width W of each channel region 16 and the spacing S between the respective channel regions 16 have the relation of $W \leq S$.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97701

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl. ⁶	識別記号	F I
H 0 1 L 29/786		H 0 1 L 29/78 6 1 1
21/336		G 0 2 F 1/136 5 0 0
G 0 2 F 1/136	5 0 0	

審査請求 未請求 請求項の数 7 F D (全 8 頁)

(21) 出願番号 特願平9-272132

(22) 出願日 平成9年(1997) 9月18日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 井上 聡

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

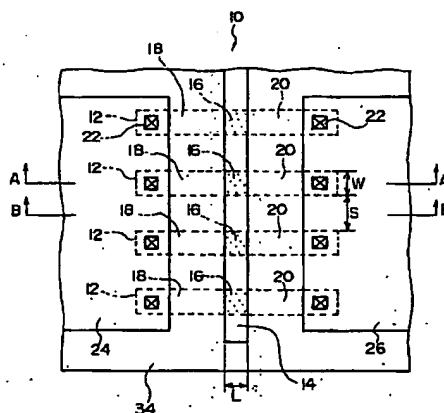
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 薄膜トランジスタ、その製造方法及び液晶表示装置

(57) 【要約】

【課題】 特性が劣化しにくい薄膜トランジスタ、その製造方法及び液晶表示装置を提供する。

【解決手段】 一つのゲート電極14の下に形成される複数のチャネル領域16と、各チャネル領域16を挟むソース領域18及びドレイン領域20と、を有し、各ソース領域18は相互に接続され、各ドレイン領域20は相互に接続され、各チャネル領域16のチャネル幅Wと、各チャネル領域16同士の間隔Sは、 $W \leq S$ の関係を有する。



$W \leq S$

【特許請求の範囲】

【請求項1】 一つのゲート電極の下に形成される複数のチャンネル領域と、各チャンネル領域を挟むソース領域及びドレイン領域と、を有し、

各ソース領域は相互に接続され、各ドレイン領域は相互に接続され、

各チャンネル領域のチャンネル幅 W と、各チャンネル領域同士の間隔 S は、 $W \leq S$ の関係を有する薄膜トランジスタ。

【請求項2】 請求項1記載の薄膜トランジスタにおいて、

前記ゲート電極は屈曲し、前記チャンネル領域が一直線に沿って並ぶことを避ける薄膜トランジスタ。

【請求項3】 請求項2記載の薄膜トランジスタにおいて、

前記ゲート電極は、複数列をなすように形成される薄膜トランジスタ。

【請求項4】 請求項2又は請求項3記載の薄膜トランジスタにおいて、

前記チャンネル領域は、互い違いに配置される薄膜トランジスタ。

【請求項5】 請求項1から請求項4のいずれかに記載の薄膜トランジスタが、直流電圧のスイッチとして形成される液晶表示装置。

【請求項6】 請求項5記載の液晶表示装置において、前記スイッチは、ソース線への電圧の印加を最終段で制御する液晶表示装置。

【請求項7】 複数のチャンネル領域と、各チャンネル領域を挟むソース領域及びドレイン領域と、を形成する工程と、

前記チャンネル領域上に一つのゲート電極を形成する工程と、

各ソース領域を相互に接続し、各ドレイン領域を相互に接続する工程と、

を含み、
各チャンネル領域のチャンネル幅 W と、各チャンネル領域同士の間隔 S は、 $W \leq S$ の関係を有する薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特性の劣化が防止される薄膜トランジスタ、その製造方法及び液晶表示装置に関する。

【0002】

【発明の背景】多結晶シリコンを用いた薄膜トランジスタ(TFT)は、液晶表示装置などで使用されているが、その信頼性が大きな問題となっている。例えば、薄膜トランジスタを動作させると、図9に示すように、しきい値電圧が変化するという劣化が生じる場合がある。

【0003】そこで、本願発明者等は、しきい値電圧の変化(特性の劣化)が何に起因するかを研究した。

【0004】動作時の薄膜トランジスタを赤外線温度計で観察すると、かなり温度が上昇しているのが確認された。これは、薄膜トランジスタがガラス基板上に形成され、また周囲が熱伝導率の低いシリコン酸化膜で囲まれているためである。また、薄膜トランジスタにゲート電圧(V_g)及びドレイン電圧(V_d)を印加し、10秒間動作させた後、しきい値電圧の変化を調べた。この時ゲート電圧(V_g)及びドレイン電圧(V_d)を各々パラメータとした。動作時に流れたドレイン電流を I_d とすると、 $I_d \times V_d$ を横軸に、しきい値電圧の変化を縦軸にとったのが図10である。同図に示すように、ゲート電圧(V_g)の値にかかわらず、ドレイン電流 $I_d \times$ ドレイン電圧 V_d の値が大きいほど、特性の劣化が大きくなることが分かった。ここで、 $I_d \times V_d$ は薄膜トランジスタの発熱量に比例する。

【0005】また、薄膜トランジスタを加熱してそのしきい値電圧の変化を測定したところ、図11に示すように、上記の劣化と同様な特性変化が確認された。従って特性の劣化は熱に起因すると考えられる。即ち、薄膜トランジスタが動作時に発する自分自身の熱により、チャンネルのポリシリコン膜中のダングリングボンドをターミネイトしていた水素が脱離し、これによりTFT特性が変化したものと予想される。

【0006】チャンネル幅 W 及びチャンネル長 L について、 W/L が一定ならば、ドレイン電流 I_d が一定になることが知られているが、図12に示すように、 W/L が一定ならば、 W 、 L の絶対的な値が小さいほど、特性の劣化が大きくなることが実験により分かった。その理由は、チャンネル幅 W が小さくなると、単位長さ当たりに大きなドレイン電流(I_d)が流れるため、発熱量が多いからであると考えられる。これは、今後素子の微細化が進む程、この劣化が深刻な問題になることを意味する。

【0007】また、チャンネル長 L が一定ならば、チャンネル幅 W が大きいほど特性の劣化が大きくなることが実験により分かった。従って、例えばドライバー内蔵(点順次ドライバ)型LCDにおけるアナログスイッチなど、電流供給能力が必要とされ、結果的にチャンネル幅 W が大きく設計されている薄膜トランジスタで特に顕著に上記の劣化が生じやすくなる。

【0008】なお、ドレイン電圧(V_d)が交流電圧のとき、その周波数が大きいほど、しきい値電圧の変化が小さく、ドレイン電圧(V_d)が直流電圧のときに最もしきい値電圧の変化が大きいことも実験から分かった。これは、薄膜トランジスタに電圧が印加されてから、温度が上りきるまでに数m〜数十msecを要するからである。

【0009】本発明は、薄膜トランジスタの特性の劣化という問題に鑑みてなされたものであり、その目的は、特性が劣化しにくい薄膜トランジスタ、その製造方法及び液晶表示装置を提供することにある。

【0010】

【課題を解決するための手段】

(1) 本発明に係る薄膜トランジスタは、一つのゲート電極の下に形成される複数のチャンネル領域と、各チャンネル領域を挟むソース領域及びドレイン領域と、を有し、各ソース領域は相互に接続され、各ドレイン領域は相互に接続され、各チャンネル領域のチャンネル幅 W と、各チャンネル領域同士の間隔 S は、 $W \leq S$ の関係を有する。

【0011】本発明によれば、複数のチャンネル領域を有するが、各チャンネル領域には一つのゲート電極から電圧が印加される。また、各ソース領域は相互に接続され、各ドレイン領域は相互に接続されている。要するに、この薄膜トランジスタは、MOS形トランジスタのチャンネル領域を複数に分割して構成されたものである。したがって、各チャンネル領域のチャンネル幅 W を小さくすることができるので、ドレイン電流 I_d を小さくすることができる。こうして、発熱を抑えて特性の劣化を防ぐことができる。ただし、複数のチャンネル領域のそれぞれをドレイン電流 I_d が流れるので、ドレイン電流 I_d の合計値は維持される。

【0012】(2) 本発明において、前記ゲート電極は屈曲し、前記チャンネル領域が一直線に沿って並ぶことを避ける構成としてもよい。

【0013】これによれば、屈曲したゲート電極に対応して、複数のチャンネル領域が一直線に沿って並ばないようになっている。したがって、各チャンネル領域同士の間隔を広くすることができ、各チャンネル領域で生じた熱が発散されやすくなっている。

【0014】(3) 前記ゲート電極は、複数列をなすように形成されてもよい。

【0015】これによれば、複数列をなすように複数のチャンネル領域を配置することができ、熱が発散されやすくなる。

【0016】(4) 前記チャンネル領域は、互い違いに配置されてもよい。

【0017】これによれば、互い違いに配置されることで、チャンネル領域同士の間隔を広くとることができ、各チャンネル領域で生じた熱が発散されやすくなっている。

【0018】(5) 本発明に係る液晶表示装置は、上記薄膜トランジスタが、直流電圧のスイッチとして形成されたものである。

【0019】本発明によれば、熱が発散されやすい薄膜トランジスタが用いられるので、スイッチとしての信頼性が向上する。

【0020】(6) 上記液晶表示装置において、前記スイッチは、ソース線への電圧の印加を最終段で制御するものであってもよい。

【0021】このように、ソース線への電圧を印加する最終段で制御するスイッチには、比較的大きな電流を流す必要があるため、熱が発散されやすい薄膜トランジ

スタを使用することは効果的である。

【0022】(7) 本発明に係る薄膜トランジスタの製造方法は、複数のチャンネル領域と、各チャンネル領域を挟むソース領域及びドレイン領域と、を形成する工程と、前記チャンネル領域上に一つのゲート電極を形成する工程と、各ソース領域を相互に接続し、各ドレイン領域を相互に接続する工程と、を含み、各チャンネル領域のチャンネル幅 W と、各チャンネル領域同士の間隔 S は、 $W \leq S$ の関係を有する。

【0023】本発明によって、上記薄膜トランジスタを製造することができる。

【0024】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。

【0025】(第1の実施の形態) 図1は、第1の実施の形態に係る薄膜トランジスタの平面図である。この薄膜トランジスタ10は、例えば液晶ディスプレイのアナログスイッチとして用いられるMOS形トランジスタである。

【0026】図1に示すように、薄膜トランジスタ10は、複数(4つ)の多結晶シリコン薄膜12が一つのゲート電極14にそれぞれ交差するように形成されている。また、各多結晶シリコン薄膜12には、ゲート電極14下にチャンネル領域16が形成されるとともに、これを挟むN型不純物拡散領域であるソース領域18及びドレイン領域20が形成されている(図2(A)参照)。そして、各多結晶シリコン薄膜12のソース領域18及びドレイン領域20にコンタクトホール22が形成され、ソース領域18同士、ドレイン領域20同士が共通のソース電極24、ドレイン電極26にそれぞれ接続されている。

【0027】図2(A)は、図1のA-A線断面図であり、図2(B)は、図1のB-B線断面図である。これらの図に示すように、ガラス基板28上に、シリコン酸化膜からなる下地絶縁膜30、ソース領域18、ドレイン領域20およびチャンネル領域16となる多結晶シリコン薄膜12が順次形成されている。そして、その上にゲート絶縁膜32を介してタンタル膜からなるゲート電極14が形成されている。また、その上にシリコン酸化膜からなる層間絶縁膜34が形成されるとともに、層間絶縁膜34を貫通してソース領域18、ドレイン領域20に通じるコンタクトホール22が開口され、ソース電極24、ドレイン電極26が形成されている。

【0028】本実施の形態では、4つの多結晶シリコン薄膜12のそれぞれに、チャンネル領域16、ソース領域18及びドレイン領域20が形成されている。このことにより薄膜トランジスタ10は、4つのMOS形トランジスタに分割されてなる。各MOS形トランジスタのチャンネル長は L 、チャンネル幅は W である。また、4つのMOS形トランジスタは、同じゲート電極14、ソース電

極24及びドレイン電極26によって駆動される。

【0029】したがって、薄膜トランジスタ10は、チャネル長が L でチャネル幅が $4W$ の一つのMOS形トランジスタを、チャネル幅において複数分割(4分割)したトランジスタになっている。こうすることで、薄膜トランジスタ10の特性の劣化を抑えることができる。

【0030】すなわち、MOS形トランジスタが複数に分割されることで、チャネル長 L が一定で、チャネル幅 W が小さい複数のMOS形トランジスタとなる。そして、各MOS形トランジスタにおいて発熱が少なくなっ 10 て、特性の劣化が小さくなる。

【0031】また、本実施形態では、チャネル幅 W と、隣り同士のチャネル領域16の間隔 S とが、 $W \leq S$ の関係になっている。こうすることで、チャネル領域16に生じた熱が、隣りのチャネル領域16に生じた熱の影響を受けにくくなって、発散しやすくなる。そして、熱による特性の劣化が小さくなる。

【0032】なお、チャネル領域16に生じる熱は、ドレイン電流 I_d の大きさに起因すると考えられる。ドレイン電流 I_d は、 W/L に比例して大きくなる。したがって、 W/L が小さいほどドレイン電流 I_d が小さくなる。このことから、MOS形トランジスタは、チャネル幅 W において多数に分割されるほど、ドレイン電流 I_d が小さくなる。

【0033】次に、上記構成の薄膜トランジスタ10の製造方法を図3(A)～図4(C)を用いて説明する。以下に述べる製造方法は、例えばゲート絶縁膜の形成に熱酸化法ではなくCVD法を用いるものであって、プロセス全体を通して 450°C 以下の低いプロセス温度で製造するものである。これにより、基板の材料としてガラ 30 スを用いることができる。

【0034】まず、図3(A)に示すように、ガラス基板28上の全面に、CVD法を用いて膜厚 $100 \sim 500 \text{ nm}$ 程度のシリコン酸化膜を形成して下地絶縁膜30とする。次に、下地絶縁膜30上の全面に、ジシラン(Si_2H_6)あるいはモノシラン(SiH_4)を原料としたCVD法を用いて膜厚 50 nm 程度のアモルファスシリコン薄膜を形成した後、XeCl等のエキシマレーザーアニールを行なうことにより多結晶化する。そして、周知のフォトリソグラフィ・エッチング技術を用いて、4つの多結晶シリコン薄膜12(図1参照)のバ 40 ターニングを行なう。

【0035】次に、図3(B)に示すように、ECR-CVD(Electron Cyclotron Resonance Chemical Vapor Deposition)法を用いて膜厚 120 nm 程度のシリコン酸化膜からなるゲート絶縁膜32を形成する。

【0036】次に、スパッタ法により膜厚 $600 \sim 800 \text{ nm}$ 程度のタンタル膜を全面に堆積させ、図3(C)に示すように、これをバターニングすることによりゲ 50 ト電極14を形成する。ついで、図4(A)に示すよう

に、このゲート電極14をマスクとして PH_3/H_2 を用いたイオンドーピングを行なうことにより、N型不純物拡散領域であるソース領域18、ドレイン領域20を形成する。また、イオンドーピング時のドーズ量は $1 \sim 10 \times 10^{11} \text{ atoms/cm}^2$ 程度でよい。ついで、 300°C 、2時間の N_2 アニールを行なう。

【0037】そして、図4(B)に示すように、CVD法により膜厚 $500 \sim 1000 \text{ nm}$ 程度のシリコン酸化膜からなる層間絶縁膜34を形成する。最後に、図4(C)に示すように、層間絶縁膜34を貫通して多結晶シリコン薄膜12上のソース領域18、ドレイン領域20に通じるコンタクトホール18を開孔した後、全面に Al-Si-Cu 膜を堆積させ、これをバターニングすることにより、ソース電極24、ドレイン電極26を形成する。

【0038】以上の工程によって、薄膜トランジスタ10が製造される。

【0039】(第2の実施の形態)図5は、第2の実施の形態に係る薄膜トランジスタの平面図である。この薄膜トランジスタ40は、ソース電極42と、このソース電極42の三辺を取り囲むゲート電極44と、このゲート電極44を取り囲むドレイン電極46と、を有する。ここで、ゲート電極44は、2列に並ぶ配線の一方の端部が接続されてコ字状をなし、ドレイン電極46も同様である。

【0040】また、ソース電極42、ゲート電極44及びドレイン電極46の下には、4箇所において、多結晶シリコン薄膜48が形成されている。各多結晶シリコン薄膜48は、ソース電極42の下ではソース領域42aとなり、ゲート電極44の下ではチャネル領域44aとなり、ドレイン電極46の下ではドレイン領域46aとなる。つまり、各多結晶シリコン薄膜48は、MOS形トランジスタとなる。薄膜トランジスタ40は、ゲート幅の方向で4つに分割されたMOS形トランジスタである。

【0041】本実施形態によれば、複数列(2列)をなすように形成されたゲート電極44に対応して、複数列(2列)の多結晶シリコン薄膜48が形成されている。すなわち、全てのチャネル領域44aが一直線に沿って並ぶことが避けられている。したがって、1列に並べられた多結晶シリコン薄膜と比べて、チャネル領域44aで生じた熱が放散しやすくなっている。

【0042】(第3の実施の形態)図6は、第3の実施の形態に係る薄膜トランジスタの平面図である。この薄膜トランジスタ50は、ソース電極52と、このソース電極52の三辺を取り囲むゲート電極54と、このゲート電極54を取り囲むドレイン電極56と、を有する。ここで、ゲート電極54は、2列に並ぶ配線の一方の端部が接続されてコ字状をなしている。また、ソース電極 52、ゲート電極54及びドレイン電極56は、図5に

示すソース電極42、ゲート電極44及びドレイン電極46よりも長く形成されている。

【0043】ゲート54の一部となる2列に並ぶ配線のうち、一方(図において左側)には3つの多結晶シリコン薄膜58が形成されており、他方(図において右側)には2つの多結晶シリコン薄膜58が形成されている。

【0044】そして、本実施形態では、多結晶シリコン薄膜58が互い違いに形成されて千鳥状をなしている。こうすることで、一方の列に並ぶ多結晶シリコン薄膜58のチャネル領域58aが、他方の列に並ぶ多結晶シリコン薄膜58のチャネル領域58aに生じる熱の影響を受けにくく、熱を放散しやすくなっている。

【0045】(第4の実施の形態)図7は、第4の実施の形態に係る薄膜トランジスタの平面図である。この薄膜トランジスタ60は、蛇行するように屈曲するゲート電極64と、このゲート電極64の両側で並ぶソース電極62及びドレイン電極66と、を有する。

【0046】本実施形態によれば、ゲート電極64、ソース電極62及びドレイン電極66が蛇行するように屈曲しているので、複数の多結晶シリコン薄膜68を、一層離して形成することができる。こうすることで、一層熱の放散が容易になる。

【0047】(第5の実施の形態)図8は、第5の実施の形態に係る液晶表示装置の回路を示す図である。同図に示すように、この液晶表示装置70は、ソース線ドライバ回路72と、ゲート線ドライバ回路74と、画素マトリクス76とを有する。

【0048】ソース線ドライバ回路72は、シフトレジスタ78、ビデオ信号バス80a、80b、80c、アナログスイッチ81a、81b、81cを有する。また、ゲート線ドライバ回路74は、シフトレジスタ82及びバッファ83を有する。

【0049】これらソース線ドライバ回路72及びゲート線ドライバ回路74を構成するトランジスタ(図示略)の構成はともにCMOS型である。

【0050】画素マトリクス76は各画素84がマトリクス状に配列されたものである。各画素84に対応して、画素トランジスタ85、液晶セル86及び対向電極87が設けられている。

【0051】ソース線ドライバ回路72からは、ソース線88a、88b、88cが形成され、各画素84に信号を入力するようになっている。ゲート線ドライバ回路74からは、ゲート線89a、89bが形成されて、画素マトリクス76の各画素トランジスタ85のゲートに接続されている。

【0052】この液晶表示装置においては、ソース線ドライバ回路、ゲート線ドライバ回路等の回路部、アナログスイッチ、画素トランジスタの各部分あるいは一部分に本発明の薄膜トランジスタが適用されている。この構成により、回路の誤動作等の発生が少なく、良好な

画質を有する液晶表示装置を実現することができる。

【0053】特に、アナログスイッチ81a、81b、81cは、ソース線88a、88b、88cに接続される最終段のスイッチであるため、比較的大きな電流が流されるので、特性の劣化が少ない本発明を適用することが効果的である。また、アナログスイッチ81a、81b、81cは、直流電圧のスイッチとして使用されるので、特性の劣化が小さい。

【0054】さらに、上記実施の形態では、NチャネルTFTの例について説明したが、本発明をPチャネルTFTに適用することもできる。また、チャネル領域やソース、ドレイン領域を形成するシリコン薄膜としては、多結晶シリコン薄膜に限らず、非晶質シリコン薄膜を用いてもよい。

【0055】そして、液晶表示装置において、本発明の薄膜トランジスタを画素トランジスタやアナログスイッチに限らず、種々の回路構成要素に適用することができる。さらに、上記実施の形態ではトップゲート型薄膜トランジスタの例を挙げたが、本発明をボトムゲート型薄膜トランジスタに適用することも可能である。

【0056】

【図面の簡単な説明】

【図1】第1の実施の形態に係る薄膜トランジスタの平面図である。

【図2】図2(A)は、図1のA-A線断面図であり、図2(B)は、図1のB-B線断面図である。

【図3】図3(A)～図3(C)は、第1の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図4】図4(A)～図4(C)は、第1の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図5】第2の実施の形態に係る薄膜トランジスタの平面図である。

【図6】第3の実施の形態に係る薄膜トランジスタの平面図である。

【図7】第4の実施の形態に係る薄膜トランジスタの平面図である。

【図8】第5の実施の形態に係る液晶表示装置の回路を示す図である。

【図9】しきい値電圧の変化が何に起因するかについての研究結果を示す図である。

【図10】しきい値電圧の変化が何に起因するかについての研究結果を示す図である。

【図11】しきい値電圧の変化が何に起因するかについての研究結果を示す図である。

【図12】しきい値電圧の変化が何に起因するかについての研究結果を示す図である。

【符号の説明】

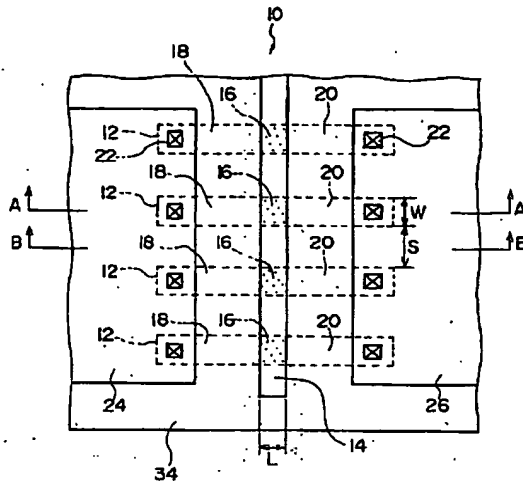
10 薄膜トランジスタ

14 ゲート電極
16 チャネル領域
18 ソース領域
20 ドレイン領域
24 ソース電極

* 26 ドレイン電極
70 液晶表示装置
W チャネル幅
S チャネル領域間隔

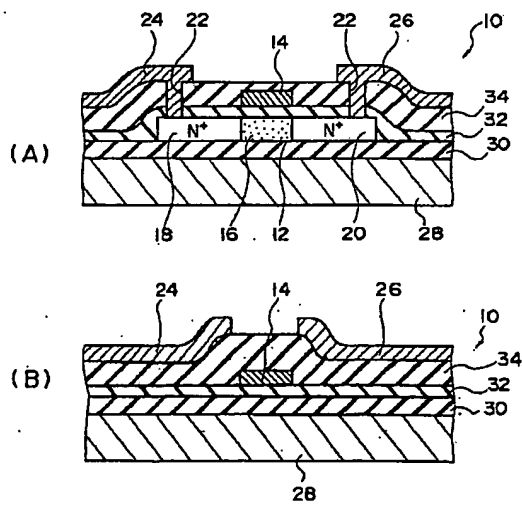
*

【図1】

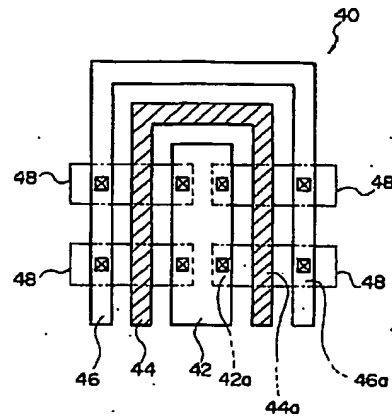


$$W \leq S$$

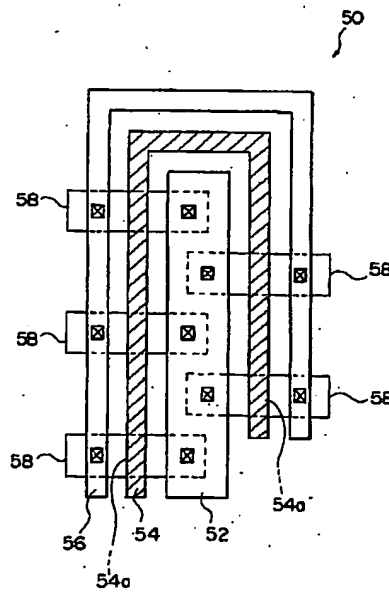
【図2】



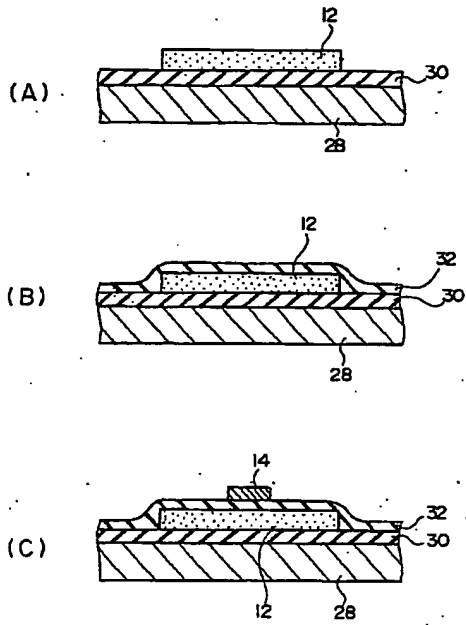
【図5】



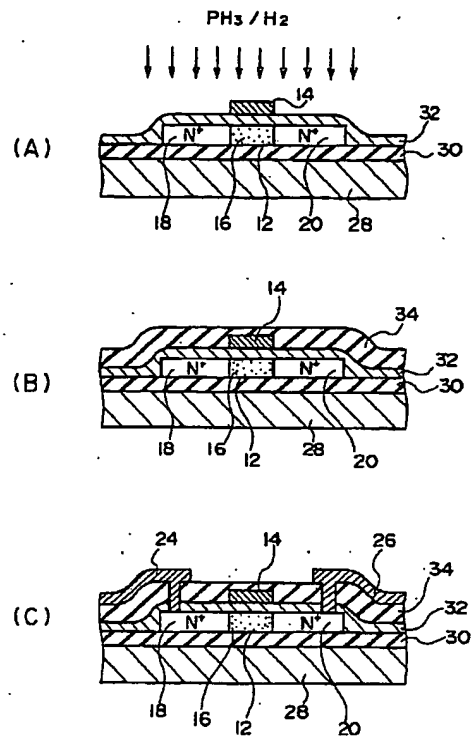
【図6】



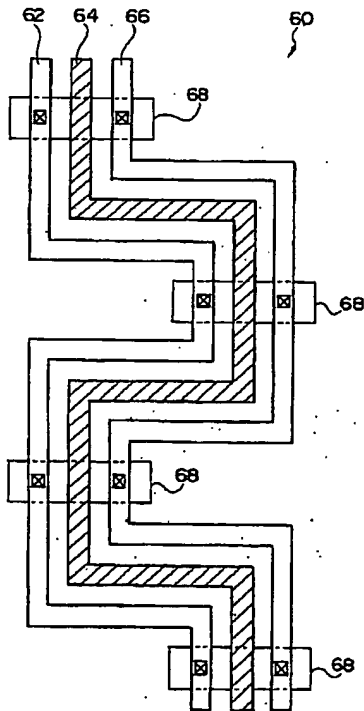
【図3】



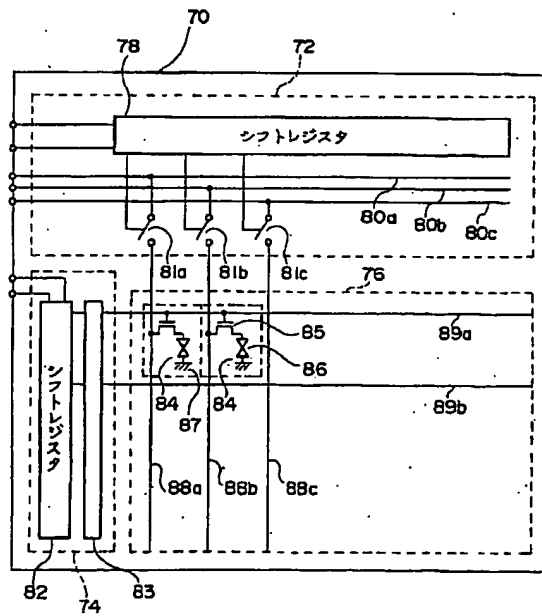
【図4】



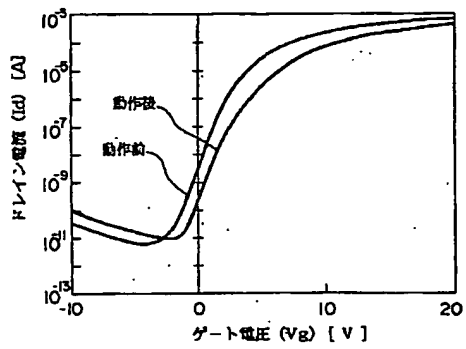
【図7】



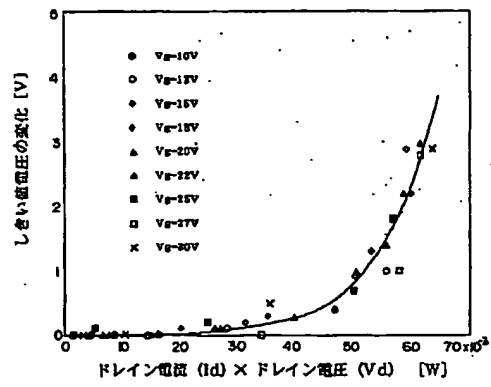
【図8】



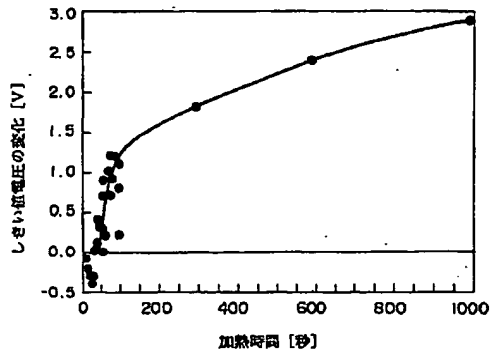
【図9】



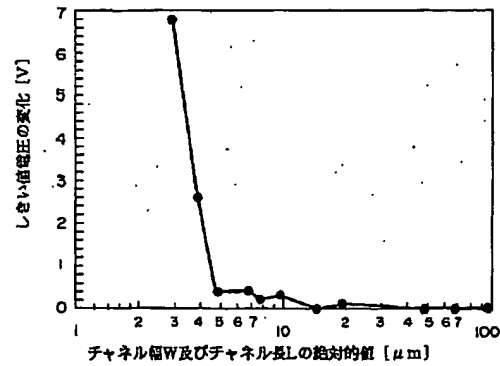
【図10】



【図11】



【図12】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 15 年 2 月 28 日 (2003. 2. 28)

【公開番号】特開平 11-97701
 【公開日】平成 11 年 4 月 9 日 (1999. 4. 9)
 【年通号数】公開特許公報 11-978
 【出願番号】特願平 9-272132
 【国際特許分類第 7 版】

H01L 29/786
 21/336
 G02F 1/136 500

【F I】

H01L 29/78 611
 G02F 1/136 500

【手続補正書】

【提出日】平成 14 年 11 月 19 日 (2002. 11. 19)

【手続補正 1】

【補正対象書類名】明細書
 【補正対象項目名】発明の名称
 【補正方法】変更

【補正内容】

【発明の名称】薄膜トランジスタ及びその製造方法、
 画素マトリクス並びに液晶表示装置

【手続補正 2】

【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】一つのゲート電極の下に形成される複数の
 のチャネル領域と、各チャネル領域を挟むソース領域及
 びドレイン領域と、を有し、
 各ソース領域は相互に接続され、各ドレイン領域は相互
 に接続され、
 各チャネル領域のチャネル幅 W と、各チャネル領域同士
 の間隔 S は、 $W \leq S$ の関係を有する薄膜トランジスタ。

【請求項 2】請求項 1 記載の薄膜トランジスタにおい
 て、
 前記ゲート電極は屈曲し、前記チャネル領域が一直線に
 沿って並ぶことを避ける薄膜トランジスタ。

【請求項 3】請求項 2 記載の薄膜トランジスタにおい
 て、
 前記ゲート電極は、複数列をなすように形成される薄膜
 トランジスタ。

【請求項 4】請求項 2 又は請求項 3 記載の薄膜ラン
 ジスタにおいて、
 前記チャネル領域は、互い違いに配置される薄膜ラン

ジスタ。

【請求項 5】請求項 1 乃至 4 のいずれかに記載の薄膜
 トランジスタにおいて、

前記ソース領域、前記ドレイン領域及び前記チャネル領
 域のうち少なくとも一つは多結晶シリコン薄膜により形
 成されていることを特徴とする薄膜トランジスタ。

【請求項 6】マトリクス状に配列されてなる複数の画
 素を有し、それぞれの前記画素には、請求項 1 乃至 5 の
 いずれかに記載の薄膜トランジスタが画素トランジスタ
 として設けられてなる画素マトリクス。

【請求項 7】請求項 1 から請求項 5 のいずれかに記載
 の薄膜トランジスタが、直流電圧のスイッチとして形成
 される液晶表示装置。

【請求項 8】請求項 7 記載の液晶表示装置において、
 前記スイッチは、ソース線への電圧の印加を最終段で制
 御する液晶表示装置。

【請求項 9】複数のチャネル領域と、各チャネル領域
 を挟むソース領域及びドレイン領域と、を形成する工程
 と、
 前記チャネル領域上に一つのゲート電極を形成する工程
 と、
 各ソース領域を相互に接続し、各ドレイン領域を相互に
 接続する工程と、

を含み、

各チャネル領域のチャネル幅 W と、各チャネル領域同士
 の間隔 S は、 $W \leq S$ の関係を有する薄膜トランジスタの
 製造方法。

【手続補正 3】

【補正対象書類名】明細書
 【補正対象項目名】0001
 【補正方法】変更

【補正内容】
 【0001】

【発明の属する技術分野】本発明は、特性の劣化が防止される薄膜トランジスタ及びその製造方法、画素マトリクス並びに液晶表示装置に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】本発明は、薄膜トランジスタの特性の劣化という問題に鑑みてなされたものであり、その目的は、特性が劣化しにくい薄膜トランジスタ及びその製造方法、画素マトリクス並びに液晶表示装置を提供することにある。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】(5) 前記ソース領域、前記ドレイン領域及び前記チャンネル領域のうち少なくとも一つは多結晶シリコン薄膜により形成されてもよい。

(6) 本発明に係る画素マトリクスは、マトリクス状に配列されてなる複数の画素を有し、それぞれの前記画素には、上記薄膜トランジスタが画素トランジスタとして設けられてなる。

(7) 本発明に係る液晶表示装置は、上記薄膜トランジスタが、直流電圧のスイッチとして形成されたものである。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】(8) 上記液晶表示装置において、前記スイッチは、ソース線への電圧の印加を最終段で制御するものであってもよい。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】(9) 本発明に係る薄膜トランジスタの製造方法は、複数のチャンネル領域と、各チャンネル領域を挟むソース領域及びドレイン領域と、を形成する工程と、前記チャンネル領域上に一つのゲート電極を形成する工程と、各ソース領域を相互に接続し、各ドレイン領域を相互に接続する工程と、を含み、各チャンネル領域のチャンネル幅 W と、各チャンネル領域同士の間隔 S は、 $W \leq S$ の関係を有する。